

(19)

KOREAN INTELLECTUAL PROPERTY OFFICE

## KOREAN PATENT ABSTRACTS

(11) Publication

00219416 B1

number:

(43) Date of publication of application:

15.06.1999

(21) Application number: 960024616

(71) Applicant:

SAMSUNG ELECTRONICS  
CO., LTD.

(22) Date of filing: 27.06.1996

(72) Inventor:

KOO, BON YEOL  
MUN, HEUNG BAE

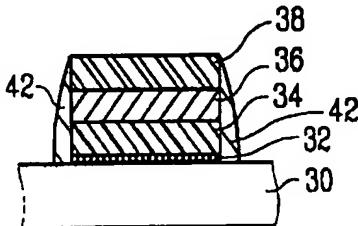
(51) Int. Cl

H01L 21/28

## (54) METHOD FOR MANUFACTURING SEMICONDUCTOR DEVICE

## (57) Abstract:

PURPOSE: A method for manufacturing a semiconductor device is to form a tungsten silicide layer on a polysilicon layer thus to improve a reliance and a production yield of the semiconductor device.



CONSTITUTION: A manufacturing method comprises the steps of: successively depositing a polysilicon layer(34) and a tungsten silicide layer(36) on a semiconductor substrate(30) for forming a gate electrode; depositing the first oxide layer(32) on the tungsten silicide layer; forming a gate electrode pattern including the first oxide layer, tungsten silicide layer and polysilicon layer by an etching process; depositing the second oxide layer(38) on the substrate including the gate electrode pattern for forming a spacer; annealing the semiconductor substrate in the oxygen or nitrogen atmosphere; and etching back the second oxide layer to form the spacer on a sidewall of the gate electrode pattern.

COPYRIGHT 2001 KIPO

## Legal Status

Date of request for an examination (19960627)

Final disposal of an application (registration)

Date of final disposal of an application (19990413)

Patent registration number (1002194160000)

Date of registration (19990615)

(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

|   |                             |
|---|-----------------------------|
| (51) Int. Cl. <sup>*</sup><br>H01L 21/28                  | (45) 공고일자<br>1999년09월01일    |
| (21) 출원번호<br>10-1996-0024616                              | (65) 공개번호<br>특 1998-0005556 |
| (22) 출원일자<br>1996년06월27일                                  | (43) 공개일자<br>1998년03월30일    |
| (73) 특허권자<br>삼성전자주식회사 음증용<br>경기도 수원시 팔달구 패밀리3동 416<br>문홍배 | (24) 등록일자<br>1999년06월15일    |
| (72) 발명자<br>서울특별시 동작구 사당 3동 252-2번지 태성빌라 202호<br>구본암      |                             |
| (74) 대리인<br>경기도 용인시 기흥읍 고매리 세원아파트 101동 1610호<br>박만순, 신동준  |                             |
| <u>설사문 : 음성포</u>  |                             |
| <u>(54) 반도체장치 제조방법</u>                                    |                             |

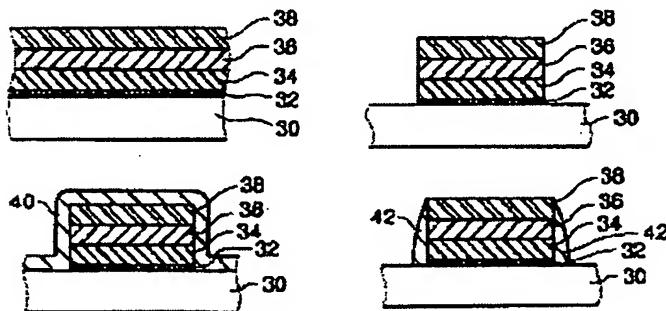
## 요약

본 발명은 게이트전극, 비트라인 또는 메탈막 형성을 위하여 폴리실리콘막상에 텁스텐실리사이드막을 효과적으로 형성시키는 반도체장치 제조방법에 관한 것이다.

본 발명은, 텁스텐실리사이드막을 증착하는 단계를 포함하는 반도체장치의 제조방법에 있어서, 반도체기판상에 게이트전극 형성을 위하여 폴리실리콘막 및 텁스텐실리사이드막을 순차적으로 증착하는 단계; 상기 텁스텐실리사이드막상에 제1산화막을 증착하는 단계; 사전식 각광정에 의해 상기 제1산화막, 텁스텐실리사이드막, 폴리실리콘막을 포함하여 이루어진 소정의 게이트전극 패턴을 형성하는 단계; 상기 게이트전극 패턴을 포함한 반도체기판 전면에 스페이서 형성을 제2산화막을 증착하는 단계; 상기 반도체기판을 산소 또는 질소분위기에서 어닐링하는 단계; 및 상기 제2산화막을 예치벽하여 상기 패턴의 측벽에 스페이서를 형성하는 단계;를 구비하여 이루어진다.

따라서, 텁스텐실리사이드막을 폴리실리콘막상에 양호하게 형성시킴으로서 소자의 신뢰도와 생산수율을 향상시킬 수 있는 효과가 있다.

## 그림도



## 설명

## 도면의 간접적 설명

제 1a 내지 도 1d는 종래의 방법에 의한 반도체장치의 제조시 리프트 현상을 설명하기 위한 공정단면도이다.

도 2a 내지 도 2d는 종래의 방법에 의한 반도체장치의 제조시 리프트 현상을 설명하기 위한 공정단면도이다.

도 3a 내지 도 3d는 종래의 방법에 의한 반도체장치의 제조시 리프트 현상을 설명하기 위한 공정단면도이다.

도 4a 내지 도 4d는 본 발명에 의한 반도체장치 제조 방법을 설명하기 위한 공정단면도이다.

\* 도면의 주요부분에 대한 부호의 설명 \*

|                 |                    |
|-----------------|--------------------|
| 10, 30 : 반도체기관  | 12, 32 : 제1산화막     |
| 14, 34 : 폴리실리콘막 | 16, 36 : 텅스텐실리사이드막 |
| 18, 38 : 제2산화막  | 19 : 산화영역          |
| 40 : 제3산화막      | 20, 42 : 스페이서      |
| H : 혹부리         |                    |

설명의 상세한 설명

설명의 목적

설명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체장치 제조방법에 관한 것으로서, 보다 상세하게는 게이트, 비트라인 또는 메탈막 형성을 위한 텅스텐실리사이드막의 사용에 산화막을 증착시킨 후, 머닐링을 수행하여 후속공정의 영향에 따른 텅스텐실리사이드막질의 변형을 방지한 반도체장치 제조방법에 관한 것이다.

최근 반도체장치가 고진적화됨에 따라 소자의 사이즈가 감소되고, 그에 따라 게이트전극, 비트라인(Bit Line) 그리고 배선을 위한 메탈(Metal)막은 낮은 저항값을 갖도록 요구되고 있다.

이러한 사양을 만족시키기 위하여 최근 텅스텐실리사이드막(WSI 막)이 게이트전극, 비트라인 및 배선용 메탈막 형성을 이용되고 있다. 텅스텐실리사이드막은 메탈정도의 낮은 저항값을 갖고, 고온에서 안정된 특성을 갖으며 화학기상증착(Chemical Vapor Deposition) 법으로 증착할 수 있으며, 패턴형성이 용이하다. 또한 산화(Oxidation)가 가능하여 이후 공정과의 득립성(Isolation)의 보장이 가능하며, 증착된 표면이 완만하고, 최종 메탈층(알루미늄층)과의 반응성이 없으며, 공정에 따른 디바이스와 웨이퍼 또는 장비에 대한 오염염려가 없고 양호한 특성의 라이트타임을 장점으로 갖고 있다.

그러나 이에 반하여 텅스텐실리사이드막은 산화막과의 접착성(Adhesion)이 나쁘고, 머닐링(Annealing)이나 고온처리시 하부막 간의 스트레스로 리프팅(Lifting)이 발생하는 단점을 가지고 있다.

따라서 게이트를 형성하기 위한 전술한 단점을 보완하기 위하여 폴리실리콘막에 텅스텐실리사이드막을 증착하는 공정은 먼저 폴리실리콘막 상부의 잔여산화물이나 자연산화물을 제거한 후에 수행되었다. 그리고 텅스텐실리사이드막/폴리실리콘막 배선은 패터닝(Patterning) 후 산화막을 증착시키고 고온의 머닐링으로 텅스텐실리사이드막의 산화막에 대한 접착성을 증진시켜서, 열팽창(Thermal Expansion) 정도 차에 의한 텅스텐실리사이드막/폴리실리콘막을 산화막으로 끌어줌으로써 스트레스에 의한 텅스텐실리사이드막의 리프팅을 방지하였다.

그러나 LDD(Lightly Doped Drains) 구조의 게이트전극을 형성하고자 도 1a 및 도 1b와 같이 반도체기관(10)상에 제1산화막(12), 폴리실리콘막(14) 및 텅스텐실리사이드막(16)이 순차적으로 형성된 박막구조를 사진식각공정을 통하여 게이트 전극을 위한 패턴으로 식각하고 상기 텅스텐실리사이드막(16)상에 제2산화막(18)을 증착한 후, 머닐링 할 때 상기 머닐링이 불충분하면, 도 1c의 스페이서(20) 형성을 위한 식각 후 도 1d와 같이 상부에 다른 막이 형성되는 과정에서 텅스텐실리사이드막(16)이 폴리실리콘막(14)으로부터 리프팅되는 현상이 발생하였다.

또한 도 2a와 같이 게이트의 프로파일이 절구통 형상으로 형성되는 경우 텅스텐실리사이드막(16) 상부에 도 2b 및 도 2c와 같은 과정으로 제2산화막(18)이 증착되고 스페이서(20)가 형성되는 데 이 과정에서 노출된 텅스텐실리사이드막(16)의 상단부에 부분적인 산화불균형이 발생되어 혹부리(H)처럼 텅스텐실리사이드막(16)이 성장되어 떨어지는 불량이 발생되었다.

또 한편, 전술한 두 문제점을 해결하고자 도 3a 및 도 3b와 같이 게이트 프로파일 둘째에 스페이서를 형성한 후 텅스텐실리사이드막(16) 상부를 산화시켜 산화영역(19)을 형성시키면서 머닐링이 진행되는 데, 이때 열역별로 폴리실리콘막(14)의 소비량에 차이가 발생하여 도 3c와 같이 텅스텐실리사이드막(16)/폴리실리콘막(14) 표면에 엠보싱(Embossing)이 형성되었다.

따라서, 전술한 텅스텐실리사이드막의 리프팅, 텅스텐실리사이드막의 혹부리 모양의 성장 및 비정상적인 폴리실리콘막의 소비로 인하여 텅스텐실리사이드막을 증착하여 소자에 게이트, 비트라인 및 메탈막을 형성시키는 데 이러한 문제점이 있었다.

설명이 이루고자 하는 기술적 과정

본 발명의 목적은, 소자 형성을 위하여 증착되는 텅스텐실리사이드막 상부에 산화막을 증착시킨 후 머닐링을 수행시켜 후속공정을 진행시킴으로서 텅스텐실리사이드막의 리프팅, 혹부리형성 및 실리콘과소비에 따른 막질의 엠보싱을 방지시키기 위한 반도체장치 제조 방법을 제공하는 데 있다.

설명의 구성 및 작용

상기 목적을 달성하기 위한 본 발명에 따른 반도체장치의 제조방법은 텅스텐실리사이드막을 증착하는 단계를 포함하는 반도체장치의 제조방법에 있어서, 반도체기관상에 게이트전극 형성을 위하여 폴리실리콘막 및 텅스텐실리사이드막을 순차적으로 증착하는 단계; 상기 텅스텐실리사이드막상에 제1산화막을 증착하는 단계; 사진식각공정에 의해 상기 제1산화막, 텅스텐실리사이드막 및 폴리실리콘막을 포함하여 이루어진 소정의 게이트전극 패턴을 형성하는 단계; 상기 게이트전극 패턴을 포함한 반도체기관 전면에 스페이서

형성용 제2산화막을 증착하는 단계; 상기 반도체기판을 산소 또는 질소분위기에서 어닐링하는 단계; 및 상기 제2산화막을 예치백하여 상기 패턴의 측벽에 스페이서를 형성하는 단계; 를 구비하여 이루어진다.

본 발명에 따른 다른 반도체장치의 제조방법은 텁스텐실리사이드막을 증착하는 단계를 포함하는 반도체장치의 제조방법에 있어서, 반도체기판상에 게이트전극 형성을 위하여 폴리실리콘막 및 텁스텐실리사이드막을 순차적으로 증착하는 단계; 상기 텁스텐실리사이드막상에 제1산화막을 증착하는 단계; 사진식각공정에 의해 상기 제1산화막, 텁스텐실리사이드막 및 폴리실리콘막을 포함하여 이루어진 소정의 게이트전극 패턴을 형성하는 단계; 상기 제1산화막을 예치백하여 상기 게이트전극 패턴의 측벽에 스페이서를 형성하는 단계; 및 상기 반도체기판을 산소 또는 질소분위기에서 어닐링하는 단계; 를 구비하여 이루어진다.

상술한 바와 같이 본발명은 스페이서 형성 전(前) 또는 후(後)에 어닐링 공정을 수행하는 데 있다.

이하, 본 발명의 구체적인 일 실시예를 참부한 도면을 참조하여 상세히 설명한다.

도 4a를 참조하면 반도체기판(30)상에 제1산화막(32), 폴리실리콘막(34), 텁스텐실리사이드막(36) 및 제2산화막(38)을 순차적으로 형성한다.

이때 상기 제2산화막(38)은 하부막질과의 열팽창도 및 스트레스에 대한 상관관계를 고려하여 420°C 미하의 저온에서 증착시킴이 바람직하다.

제속해서 도 4b를 참조하면 사진식각공정에 의하여 제2산화막(38), 텁스텐실리사이드막(36), 폴리실리콘막(34) 및 제1산화막(32)으로 이루어지는 게이트 전극이 형성된다. 즉, 상기 제2산화막(38)상부에 포토레지스트를 코팅한 후 사진 및 현상공정을 통하여 포토레지스트 래턴을 형성하고, 상기 포토레지스트 패턴을 마스크로 사용하여 상기 제2산화막(38)이 식각되며, 상기 포토레지스트 패턴을 스트리핑한 후 노출된 상기 제2산화막(38)을 마스크로 사용하여 상기 텁스텐실리사이드막(36), 폴리실리콘막(34) 및 제1산화막(32)이 순차적으로 식각되어 게이트전극이 형성된다.

또한, 상기 포토레지스트 패턴을 마스크로 사용하여 상기 제2산화막(38), 텁스텐실리사이드막(36), 폴리실리콘막(34) 및 제1산화막(32)을 동시에 식각할 수 있다.

제속해서 도 4c를 참조하면 상기 게이트전극을 포함하는 반도체기판(30)전면에 제3산화막(40)을 형성한다.

이후 상기 제3산화막(40)과 상기 텁스텐실리사이드막(36)과의 접착성을 향상시키기 위하여 어닐링을 수행한다. 상기 어닐링 공정은 850°C 내지 115°C의 온도에서 산소 또는 질소가스 분위기에서 확산공정을 이용하여 이루어질 수 있다.

제속해서 도 4d를 참조하면 상기 제3산화막(40)을 식각하여 스페이서(42)를 형성한다.

물론 상기 어닐링은 상기 스페이서(42) 형성 후에 수행될 수 있다.

상술한 바와 같이 본 발명의 특징은 게이트전극 형성하고, 상기 게이트전극상에 스페이서(42) 형성을 위한 제3산화막(40)을 증착한 후, 상기 스페이서(42) 형성 전(前) 또는 후(後)에 어닐링을 수행하는 데 있다.

상기 어닐링은 상기 제3산화막(40)과 상기 텁스텐실리사이드막(36)과의 접착력을 증가시켜준다. 상기 접착력이 증가되므로서 상기 제3산화막(40)은 흡속의 고온공정이나 소정의 백만의 증착시 발생하는 상기 텁스텐실리사이드막(36)과 상기 폴리실리콘막(34)사이의 열팽창 차이나 스트레스를 완충시켜 상기 텁스텐실리사이드막(36)을 압박하여 상기 텁스텐실리사이드막(36)이 상기 폴리실리콘막(34)으로부터 리프팅되도록 방지한다.

또한 상기 제2산화막(38)은 상기 제3산화막(40)을 형성시킬 때 상기 텁스텐실리사이드막(36)이 산화되는 것을 방지하여 혹부리 모양의 기형적인 불량을 방지시키고, 상기 폴리실리콘막(34)의 과소비가 방지되어 상기 텁스텐실리사이드막(36) 표면에서 엔보싱이 형성되지 않고 표면이 평단화된다.

#### **본명의 효과**

따라서, 텁스텐실리사이드막을 폴리실리콘막상에 양호하게 형성시킴으로서 소자의 신뢰도와 생산수율을 향상시킬 수 있는 효과가 있다.

이상에서 본 발명은 기대된 구체예에 대해서만 상세히 설명되었지만 본 발명은 기술사상 범위 내에서 다양한 변형 및 수정이 가능함은 당업자에게 있어서 명백한 것이다. 이러한 변형 및 수정이 첨부된 특허 청구범위에 속함은 당연한 것이다.

#### **(5) 청구의 범위**

##### **청구항 1**

텅스텐실리사이드막을 증착하는 단계를 포함하는 반도체장치 제조 방법에 있어서,

반도체기판상에 게이트전극 형성을 위하여 폴리실리콘막 및 텁스텐실리사이드막을 순차적으로 증착하는 단계;

상기 텁스텐실리사이드막상에 제1산화막을 증착하는 단계;

사진식각공정에 의해 상기 제1산화막, 텁스텐실리사이드막 및 폴리실리콘막을 포함하여 이루어진 소정의 게이트전극 패턴을 형성하는 단계;

상기 게이트전극 패턴을 포함한 반도체기판 전면에 스페이서 형성용 제2산화막을 증착하는 단계;

상기 반도체기판을 산소 또는 질소분위기에서 어닐닝하는 단계; 및

상기 제2산화막을 에치백하여 상기 패턴의 축벽에 스페이서를 형성하는 단계;

를 구비하여 이루어지는 것을 특징으로 하는 반도체장치 제조방법.

텅스텐실리사이드막을 증착하는 단계를 포함하는 반도체장치 제조 방법에 있어서,

반도체기판상에 게이트전극 형성을 위하여 톤리실리콘막 및 텅스텐실리사이드막을 순차적으로 증착하는 단계;

상기 텅스텐실리사이드막상에 제1산화막을 증착하는 단계;

사진식각공정에 의해 상기 제1산화막, 텅스텐실리사이드막 및 톤리실리온막을 포함하여 이루어진 소정의 게이트전극 패턴을 형성하는 단계;

상기 게이트전극 패턴을 포함한 반도체기판 전면에 스페이서 형성용 제2산화막을 증착하는 단계;

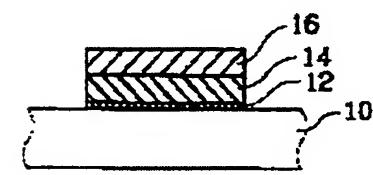
상기 제2산화막을 에치백하여 상기 게이트전극 패턴의 축벽에 스페이서를 형성하는 단계; 및

상기 반도체기판을 산소 또는 질소분위기에서 어닐닝하는 단계;

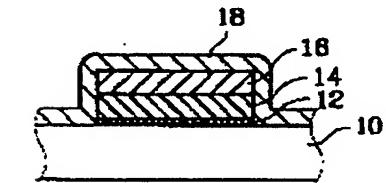
를 구비하여 이루어지는 것을 특징으로 하는 반도체장치 제조방법.

#### 도면

도면 1a



도면 1b



도면 1c

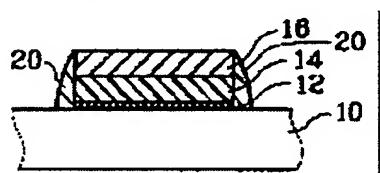


FIG 1d

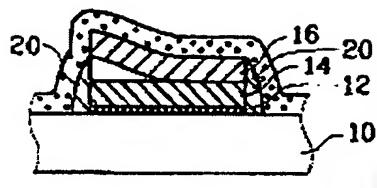


FIG 2a

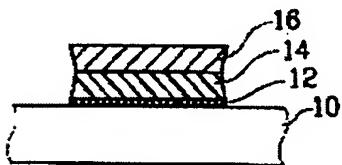


FIG 2b

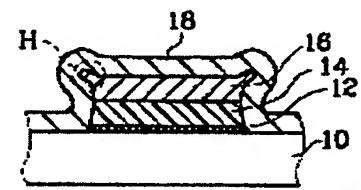


FIG 2c

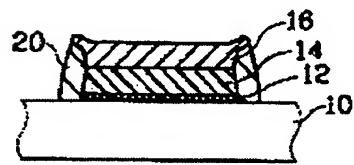
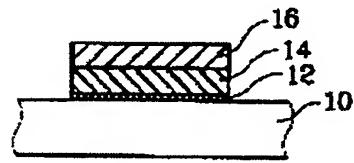
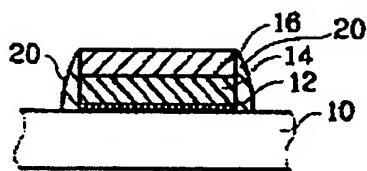


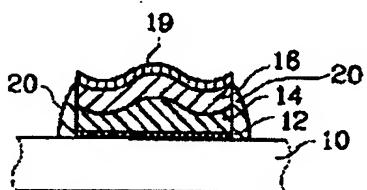
FIG 3a



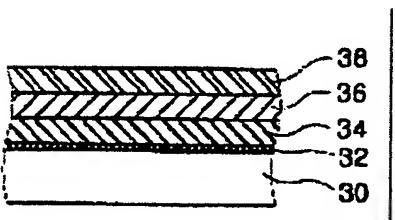
도면 3



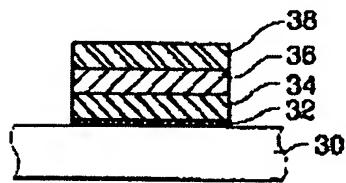
도면 4



도면 5



도면 6



도면 7

